

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-294803

(43)Date of publication of application : 20.10.2000

(51)Int.Cl.

H01L 29/866
H01L 21/8234
H01L 27/06

(21)Application number : 11-308516

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 29.10.1999

(72)Inventor : JINBO SHINICHI
YAMAZAKI TOMOYUKI
SAITO JUN

(30)Priority

Priority number : 10313839
11023852

Priority date : 05.11.1998
01.02.1999

Priority country : JP

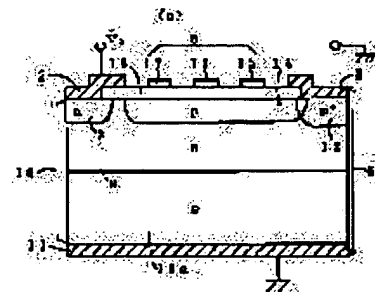
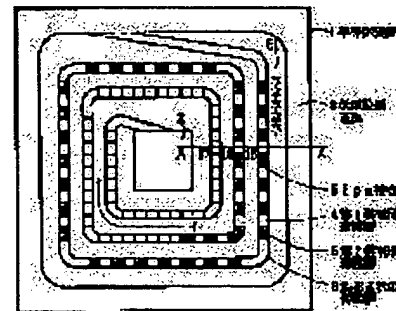
JP

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device having a highly reliable breakdown voltage structure where the electric field concentration hardly occurs.

SOLUTION: An nwell layer 9 is formed on the surface layer of a p-substrate 10, n-type high potential regions 8, p-type low potential regions 12 and offset regions 14 are formed on the surface layer of the layer 9, a spiral thin film layer 6 composed of repeats of first conductivity type and second conductivity type thin film layers 4, 5 through an insulation oxide film 18 is formed on the surface of the substrate 10, and a backside electrode 11 is formed on the backside of the substrate 10. When in this structure a positive potential V_s is applied to a high potential electrode 2 with reference to a low potential electrode 3, the potential V_s is also applied to the end of the spiral layer 6 connected to the high potential electrode 2, thus forming a uniform potential distribution over the spiral layer 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

特開2000-294803

(P2000-294803A)

(43)公開日 平成12年10月20日(2000.10.20)

(51) Int.Cl.:

識別記号

FI

テ-マ-ト* (参考)

H O 1 L 29/866

H O 1 L 29/90

S 5 F 0 4 8

21/8234

27/06

102A

27/06

審査請求 未請求 請求項の数16 O.L. (全 14 頁)

(21)出願番号 特願平11-308516

(71)出願人 000005234

(22) 出願日 平成11年10月29日(1999. 10. 29)

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(31)優先權主張番号 特願平10-313839

(72)発明者 神保 信一

(32)優先日 平成10年11月5日(1998.11.5)

神奈川県川崎市川崎区田辺新田1番1号

(33) 優先権主張国 日本 (JP)

富士電機株式会社内

(31)優先權主張番号 特願平11-23852

(72)発明者 山崎 智幸

(32)優先日 平成11年2月1日(1999.2.1)

神奈川県川崎市川崎区田辺新田1番1号

(33)優先権主張国 日本 (J.P)

(74) 代理人 100088339

弁理士 篠部 正治

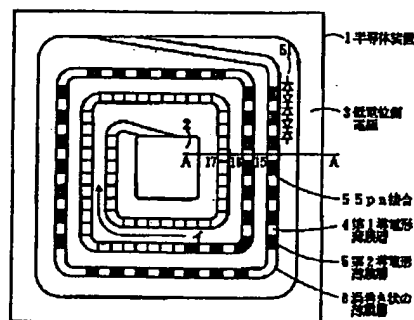
最終頁に続く

(54) 【発明の名称】 半導体装置

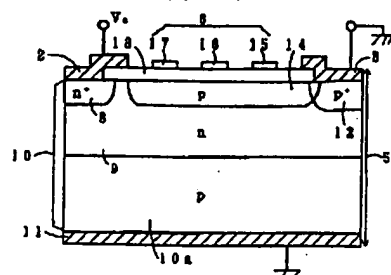
(57) 【要約】

【課題】電界集中が発生しにくく、信頼性の高い耐圧構造を有する半導体装置を提供すること。

【解決手段】 p 基板 10 の表面層に N_{well} 層 9 を形成し、N_{well} 層 9 の表面層に n 形の高電位領域 8、p 形の低電位領域 12 および P_{offset} 領域 14 を形成し、p 基板 10 の表面側には、絶縁酸化膜 18 を介して、第 1 導電形薄膜層 4 と第 2 導電形薄膜層 5 の繰り返しからなる渦巻き状薄膜層 6 を形成し、p 基板 10 の裏面側には、裏面側電極 11 を形成する。この構造において、低電位側電極 3 を基準にして、高電位側電極 2 に正電位 V_s を印加すると、渦巻き状の薄膜層 6 の高電位側電極 2 と接続する端にも電位 V_s が印加され、この渦巻き状の薄膜層には均一な電位分布が形成される。



2...高圧位置電圧
15、16、17...潤滑油状の潤滑油



6・ 浜松状の薄鉄層 11・ 赤色砂岩 18・ 花崗岩化帯
 8・ 高砂山頂部 12・ 花崗岩化帯 58・ ダイキン層
 9・ N.W. 角 14・ P. 角
 10・ P. 角 16, 18, 17・ 浜松状の薄鉄層
 10a・ P. 角

(b)

【特許請求の範囲】

【請求項1】半導体基板上に形成された絶縁膜上に、互いに離して形成された第1電極と第2電極とを有する半導体装置において、両端がそれぞれ第1電極、第2電極に接続され、且つ、第1電極を取り囲む渦巻き状の薄膜層が、前記絶縁膜上に形成され、該渦巻き状の薄膜層の長手方向に沿って、直列に複数のpnダイオードが形成されることを特徴とする半導体装置。

【請求項2】前記第1電極と前記第2電極との間の前記半導体基板が、主電流が流れる活性領域となっていて、その半導体基板上に前記絶縁膜を介して前記渦巻き状の薄膜層が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記薄膜層が、ポリシリコンで形成され、該ポリシリコンに第1導電形領域と第2導電形領域が交互に複数個形成され、前記第1導電形領域と前記第2導電形領域とでpnダイオードが形成されることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記薄膜層が、第1導電形ポリシリコンで形成され、該第1導電形ポリシリコンに選択的に第2導電形領域が、離して複数個形成され、前記第1導電形ポリシリコンで形成された第1導電形領域と前記第2導電形領域が交互に複数個形成され、前記第1導電形領域と前記第2導電形領域とでpnダイオードが形成されることを特徴とする請求項1または2に記載の半導体装置。

【請求項5】前記pnダイオードが、順直列もしくは逆直列に前記薄膜層に形成されることを特徴とする請求項1または2に記載の半導体装置。

【請求項6】前記pnダイオードがツェナーダイオードであることを特徴とする請求項1ないし5のいずれかに記載の半導体装置。

【請求項7】前記第1導電形領域および前記第2導電形領域の不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることを特徴とする請求項3に記載の半導体装置。

【請求項8】前記第1導電形ポリシリコンが、p形不純物もしくはn形不純物を $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングして形成されることを特徴とする請求項4に記載の半導体装置。

【請求項9】前記絶縁膜の厚みを0.01以上で $10 \mu\text{m}$ 以下とすることを特徴とする請求項1または2に記載の半導体装置。

【請求項10】前記半導体基板が第1導電形であって、該半導体基板の表面層に第1導電形の第1領域と第2導電形の第2領域が離して形成され、前記第1領域と前記第2領域の間の前記半導体基板の表面層に、前記第1領域から離し、且つ、前記第2領域に接するように第2導電形の第3領域が形成され、前記第1領域と前記第1電極とが接続し、前記第2領域と前記第2電極とが接続することを特徴とする請求項1に記載の半導体装置。

【請求項11】前記半導体基板が第1導電形であって、

該半導体基板の表面層に第2導電形の第1領域と第2領域が離してそれぞれ形成され、前記第1領域と前記第2領域の間の前記半導体基板の表面層に、前記第1領域および第2領域から離して、第2導電形の第3領域が、前記第1領域を取り囲むようにリング状に形成され、前記第1領域と前記第1電極とが接続し、前記第2領域と前記第2電極とが接続することを特徴とする請求項1に記載の半導体装置。

【請求項12】前記薄膜層が複数本形成されることを特徴とする請求項1または2に記載の半導体装置。

【請求項13】前記半導体装置の耐圧を V_B 、前記pnダイオードの降伏電圧を V_Z 、前記渦巻き状の薄膜層の中のpnダイオードを形成するpn接合で、逆阻止状態にあるpn接合の数を m とすると、

$$V_B < V_Z \times m$$

を満足することを特徴とする請求項1または2に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、プレーナ型の横型および縦型の半導体装置に関し、特に、その半導体装置の耐圧構造に関する。

【0002】

【従来の技術】バイポーラトランジスタ、パワーMOSFETおよびIGBT（絶縁ゲート型バイポーラトランジスタ）に代表されるパワーデバイスにおいて、数十から数千ボルトの耐圧構造（耐圧をもつ箇所の構造）が必要とされる。また、これらのパワーデバイスを駆動するために、近年、高耐圧ICの開発が盛んに行われ、この高耐圧ICもまたパワーデバイスと同等の耐圧が要求される。

【0003】図7は、Double RESURF構造と抵抗性フィールドプレート構造を組み合わせた構造で、同図(a)は要部断面図で、同図(b)は電位分布である。この耐圧構造は、高耐圧ICの代表的な構造である。図7(a)において、p基板35の表面層にN_{well}領域34が設けられている。このN_{well}領域34の表面層に高電位領域33、低電位領域37およびP_{offs}領域39がそれぞれ形成されている。高電位領域33上と低電位領域37上には、高電位側電極32と低電位側電極38がそれぞれ形成され、p基板35上に形成される絶縁酸化膜41上に高比抵抗の抵抗性フィールドプレートである薄膜抵抗層40が形成され、この薄膜抵抗層40により高電位側電極32と低電位側電極38とが電氣的に接続されている。また、低電位側電極38と裏面側電極36は、p基板35の終端部で電氣的に接続している。尚、35aはp基板層である。

【0004】図7(b)において、低電位側電極38を基準（例えば、GND）として、高電位側電極32に正電位 V_s を印加したときの、チップ表面の電位分布の様

子を図示している。電位分布は抵抗性フィールドプレート40の両端面付近で歪みが大きく、電界が集中している。そのために、この個所で耐圧が低下する。

【0005】図8は半導体内部の空乏層の拡がりを示した図である。図8の空乏層の拡がり示した半導体装置の要部断面図は、図7(a)の要部断面図と同一である。従って、図中の符号は図7(a)と同じである。図8において、低電位側電極38と裏面側電極36を基準にして、高電位側電極32に正電位 V_s が印加されると、逆バイアスが印加される2つのpn接合から空乏層47、48が拡張していく。

【0006】1つのpn接合は、 N_{well} 領域34とP offset領域39、低電位領域37のpn接合であり、もう一つのpn接合は、 N_{well} 領域34とp基板35のpn接合である。一般的に、絶縁酸化膜41と半導体界面の固定電荷の影響で、半導体表面の空乏層内部には電界の集中が起き易く、これがデバイスの破壊につながる。

【0007】抵抗性フィールドプレート構造は、高電位側電極32に電位 V_s を印加すると、薄膜抵抗層40にも電位 V_s が印加され、薄膜抵抗層40には、電位 V_s と薄膜抵抗層40の抵抗値に応じた電流が流れる。これによって、薄膜抵抗層40に、均一な電位分布が生じれば、この電位分布による電界が、絶縁酸化膜41を介し、半導体層に影響を及ぼし、半導体層表面の空乏層の中の電界集中を緩和することができる。その結果、高い耐圧を安定して確保することができる。

【0008】従来の構造においては、高電位領域33と低電位領域37との間に大きな漏れ電流が発生しないように、フィールドプレートである薄膜抵抗層40には、数 $M\Omega\text{cm}$ の高比抵抗の層、例えば、ノンドーパモルファスシリコンや酸素ドーパポリシリコン(SIPO)が使用されてきた。しかしながら、数 $M\Omega\text{cm}$ の高比抵抗の層を安定して形成することは、この層に入り込む不純物を極めて小さく抑制しなければならず、製造は極めて困難である。また、場所による比抵抗の値にばらつきが発生しやすい。

【0009】この薄膜抵抗層40の抵抗値が低い場合には、抵抗値のばらつきは小さくなるが、大きな漏れ電流が流れるため、発生損失が大きくなり、デバイスが破壊し易くなる。また、抵抗値が高すぎる場合は、抵抗値のばらつきが発生して、漏れ電流は不均一に流れ易くなり、高電位領域33と低電位領域37の間に、均一な電位分布を形成することが困難となり、半導体層の空乏層中に電界集中箇所が生じて、耐圧が低下する可能性がある。

【0010】これらの問題点を解決するために、前記の薄膜抵抗層40の抵抗値を低くして、ばらつきを抑え、この薄膜抵抗層40を、島状のベース電極43(高電位側電極)とそれを取り囲む外周電極44(低電位側電極)との間に、渦巻き状に形成し、長い薄膜抵抗層(渦

巻き状の薄膜抵抗層45)でベース電極43と外周電極44を接続することで、抵抗値を増大させる、図9のような構造が特開平4-332173号公報に開示されている。

【0011】この構造では、渦巻き状の薄膜抵抗層45の比抵抗を小さくして、ばらつきを抑制し、渦巻き状の薄膜抵抗層45の端から端の間の抵抗値を大きくして、漏れ電流を抑制している。また、ベース電極43と外周電極44とを直線で結ぶ線上の電位分布は、渦巻き状の薄膜抵抗層45の渦巻きの回数分だけ、階段状に変化するが、回数を多くすれば、階段の落差は小さくなり、平均的な電位勾配は一定となる。

【0012】この構造によれば、外周電極44とベース電極43を電氣的に接続する渦巻き状の薄膜抵抗層45の比抵抗の値を、従来構造の抵抗性フィールドプレートに比べ、低い値として実現できるというものである。これによって、抵抗性フィールドプレートよりも抵抗値の制御が容易になる利点を有する。

【0013】

【発明が解決しようとする課題】しかし、この渦巻き状の薄膜抵抗層45を形成する場合、半導体装置のチップサイズが大きくなると、前記渦巻き状の薄膜抵抗層45の距離が長くなり、抵抗値が大きくなる。チップサイズによらず同一の漏れ電流を流すには、チップサイズが大きくなると、渦巻き状の薄膜抵抗層45の幅を広げる必要があり、必然的に周辺に配置される耐圧構造の幅が大きくなる。従って、同一の耐圧を有する半導体装置でも、電流容量によって、つまり、活性領域の面積の変化によって、耐圧構造の幅を変える必要がある。これは、同一の耐圧系列の半導体装置を製作する場合、製造コスト上、不都合である。

【0014】また、渦巻き状の薄膜抵抗層45として採用する薄膜の比抵抗の値が、比較的低い値に設定できるようになったとはいえ、まだまだ、均一な比抵抗の値を渦巻き状の抵抗層に沿って、得ることは困難である。そのため、渦巻き状の薄膜抵抗層45に場所によって抵抗値のばらつきが発生して、耐圧構造部で局部的に電界が集中し、素子耐圧の低下を招く。また、この抵抗値は温度に対する変動が大きく、デバイスに、この渦巻き状の抵抗層を用いることは、信頼性の確保の観点からも困難である。

【0015】また、USP5475258にパワーMOSFETのゲート・ドレイン間の絶縁膜上にツェナーダイオードを形成することが開示されているが、ソース・ドレイン間の電位分布を均一化させるには、十分でない。また、USP5729044に、半導体基板内にp領域、n領域を設けて金属で接続し、ダイオードを直列に形成することが開示されているが、このUSP5729044の構造では、横型デバイスで広く適用されているRESURF構造との組合せは困難であり、従って、

横型デバイスには不向きである。

【0016】また、USP5382825に、縦型デバイスを対象として、活性領域の外周部の不活性領域上に、多数のダイオードを渦巻き状に直列接続することが開示されている。このUSP5382825では、横型デバイスで、しかも活性領域上にこの構造を配置することは開示されておらず、また、渦巻き状の直列ダイオードの数は、素子に定格電圧になるように選定されている。従って、定格電圧付近の電圧が素子に印加された場合は、大きな漏れ電流が流れるという不都合を生じる。

【0017】前記のことから、横型および縦型の双方の半導体装置に適用できて、フィールドプレートの様な働きをするダイオードを多数個直列した構造で、漏れ電流が小さく、且つ、十分に電位分布の均一化が図れる耐圧構造の提案は未だ成されていない。この発明の目的は、前記の課題を解決して、電界集中が発生しにくく、信頼性の高い耐圧構造を有する横型および縦型構造の半導体装置を提供することにある。

【0018】

【課題を解決するための手段】前記の目的を達成するために、半導体基板上に形成された絶縁膜上に、互いに離して形成された第1電極と第2電極とを有する半導体装置において、両端がそれぞれ第1電極、第2電極に接続され、且つ、第1電極を取り囲む渦巻き状の薄膜層が、前記絶縁膜上に形成され、該渦巻き状の薄膜層の長手方向に沿って、直列に複数個のpnダイオードが形成される構成とする。

【0019】前記第1電極と前記第2電極との間の前記半導体基板が、主電流が流れる活性領域となっていて、その半導体基板上に前記絶縁膜を介して前記渦巻き状の薄膜層が形成されている構成とする。前記薄膜層が、ポリシリコンで形成され、該ポリシリコンに第1導電形領域と前記第2導電形領域が交互に複数個形成され、前記第1導電形領域と前記第2導電形領域とでpnダイオードが形成される構成とするといふ。

【0020】前記薄膜層が、第1導電形ポリシリコンで形成され、該第1導電形ポリシリコンに選択的に第2導電形領域が、離して複数個形成され、前記第1導電形ポリシリコンで形成された第1導電形領域と前記第2導電形領域が交互に複数個形成され、前記第1導電形領域と前記第2導電形領域とでpnダイオードが形成される構成とするといふ。

【0021】前記pnダイオードが、順直列もしくは逆直列に前記薄膜層に形成されるといふ。前記pnダイオードがツェナーダイオードであると効果的である。前記第1導電形領域および前記第2導電形領域の不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上であるといふ。

【0022】前記ポリシリコンが、p形不純物もしくはn形不純物を $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングして形成されると好ましい。前記絶縁膜の厚みを0.01以上で

$10 \mu\text{m}$ 以下とするといふ。前記半導体基板が第1導電形であって、該半導体基板の表面層に第1導電形の第1領域と第2導電形の第2領域が離して形成され、前記第1領域と前記第2領域の間の前記半導体基板の表面層に、前記第1領域から離し、且つ、前記第2領域に接するように第2導電形の第3領域が形成され、前記第1領域と前記第1電極とが接続し、前記第2領域と前記第2電極とが接続する構成としてもよい。

【0023】前記半導体基板が第1導電形であって、該半導体基板の表面層に第2導電形の第1領域と第2領域が離してそれぞれ形成され、前記第1領域と前記第2領域の間の前記半導体基板の表面層に、前記第1領域および第2領域から離して、第2導電形の第3領域が、前記第1領域を取り囲むようにリング状に形成され、前記第1領域と前記第1電極とが接続し、前記第2領域と前記第2電極とが接続する構成としてもよい。

【0024】前記半導体装置の耐圧を V_B 、前記pnダイオードの降伏電圧を V_Z 、前記渦巻き状の薄膜層の中のpnダイオードを形成するpn接合で、逆阻止状態にあるpn接合の数を m とすると、

$$V_B < V_Z \times m$$

を満足するようにするとよい。

【0025】前記のように、例えば、n形ポリシリコンにp形領域を離して複数個形成することで、p形領域とn形領域が交互に形成される。このp形領域とn形領域でpnダイオードを形成する。そうすると、例えば、 $p_1 n_1 p_2 n_2 \dots$ と並んだ構造で薄膜層が形成されることになる。この最初の $p_1 n_1$ で第1のpnダイオードが形成され、つぎの $n_1 p_2$ で第2のpnダイオードが形成され、つぎの $p_2 n_2$ で第3のpnダイオードが形成される。これは第1のpnダイオードと第2のダイオードは逆直列接続されたこととなり、また、第2のpnダイオードと第3のpnダイオードも逆直列に接続されたことになる。つまり、薄膜層は互いに逆直列に接続されたpnダイオードが、直列に複数個接続された構造となる。

【0026】また、前記の n_1 と p_2 を金属膜などで接続すると、 $p_1 n_1$ のpnダイオードと $p_2 n_2$ のpnダイオードとが順直列に接続されたことになる。つまり、薄膜層はpnダイオードが順直列に複数個接続された構造となる。このpnダイオードをツェナーダイオードとするために、ノンドープのポリシリコンに $1 \times 10^{18} \text{ cm}^{-3}$ 以上の第1導電形の不純物をドーピングして、第1導電形ポリシリコンを形成する。この第1導電形ポリシリコンに、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上である第2導電形領域を形成して、ツェナーダイオードを形成する。勿論、この不純物濃度が 10^{18} cm^{-3} から 10^{19} cm^{-3} ではアバランシェ降伏とツェナー降伏が混在し、 10^{19} cm^{-3} 以上でツェナー降伏が支配的になると推定される。

【0027】このように、ツェナーダイオードを直列接続（逆直列または順直列）し、渦巻き状の薄膜層とすることで、第1電極と第2電極の間を直線で結ぶ線上で均等な電位分布が得られ、電界集中を防止できる。図5はポリシリコンを用いたツェナーダイオードの電圧・電流特性である。逆バイアスの領域では、pn接合の逆方向電圧を増加させていくと、所定の電圧（ツェナー電圧： V_z ）以上で、急激に電流が流れる、所謂、降伏現象が現れる。前記のように、ツェナーダイオードにより形成した、渦巻き状の薄膜層は、低電位側電極を基準にして、高電位側電極に電圧 V_s を印加すると、 V_s の大き

さで、ツェナーダイオードの逆阻止状態は非降伏状態と降伏状態の2つの状態に分かれる。

【0028】個々のツェナーダイオードのツェナー電圧を V_z 、薄膜層の中のツェナーダイオードを形成するpn接合で、逆阻止状態にあるpn接合の数を m とすると、

(1) $V_s < m \cdot V_z$ のとき（ツェナーダイオードは非降伏状態）

pn接合の逆方向の漏れ電流 I_s が渦巻き状の薄膜層に流れる。高濃度の不純物をドーピングしたポリシリコンに形成された個々のツェナーダイオードは、比較的漏れ電流 I_s が大きく、均一な電圧・電流特性を有するために、渦巻き状の薄膜層は、渦巻きに沿って均一な電位分布となる。尚、不純物濃度を高くすると、濃度制御が容易になり、面内の濃度のばらつきは小さくなり、抵抗値のばらつきが小さくなる。

(2) $V_s \geq m \cdot V_z$ のとき（ツェナーダイオードは降伏状態）

pn接合の逆方向に過大な電流が流れ、その状態が長時間続くと渦巻き状の薄膜層は発熱して破壊に至る。

【0029】ツェナーダイオードの個数を増やして、半導体装置の所望の耐圧より、渦巻き状の薄膜層に形成されたツェナーダイオード全数を合わせたツェナー電圧を高くなよう設定すれば、前記の(1)項の非降伏状態で使用できる。この非降伏状態でツェナーダイオードを動作させることで、ツェナーダイオードを破壊させずに、渦巻き状の薄膜層の電位分布を均一化できる。また、渦巻き状の薄膜層を流れる漏れ電流はツェナーダイオードの逆阻止時の電圧・電流特性で決まり、この漏れ電流は、ツェナーダイオードの数が変わらなければ、渦巻き状の薄膜層の長さによる影響は少ない。つまり、薄膜層の占める大きさによる影響は少ない。また、温度の変化に対する、漏れ電流の変動も、従来の高抵抗の渦巻き状の抵抗層の変動に比べて、大幅に小さく、安定した電位分布が形成できる。

【0030】図6は、渦巻き状の薄膜層に沿っての電界分布で、同図(a)は電界分布の模式図で、図(b)は同図(a)の拡大図と渦巻き状の薄膜層の図で、同図

(c)は電位分布を示す図である。同図(a)、(b)

において、電界は渦巻き状の薄膜層に形成されたpn接合で E_{max} となり、空乏層が広がっていない箇所では E_{min} となる。また、pn接合が順バイアスされている箇所でも小さな電界は存在するがそれは省略した。また、 E_{min} は空乏層が広がらない領域での漏れ電極による電圧降下で生ずる電界である。

【0031】同図(c)において、渦巻き状の薄膜層に沿っての電位は、 V_s からGNDに向かった勾配が一定となり、図7(b)に示した理想的な電位分布となる。拡大すると階段状に電位が降下しているが、ツェナーダイオードの数が多いため、極めて小さなステップとなる。また、前記薄膜層を複数本形成すると、例えば、複数本ある薄膜層の内1本が溶断しても、他の薄膜層で電位分布の均一化を図ることができる。

【0032】

【発明の実施の形態】図1は、この発明の第1実施例の半導体装置における耐圧構造部で、同図(a)は要部平面図、同図(b)は同図(a)のA-A線で切断した要部断面図である。この実施例では、外側の電極を基準(GND)として、内側の島状に存在する電極に高電位をかけるものとするが、これとは逆に、内側を基準にして、外側の電極に高電位をかける場合でも、渦巻き状の薄膜層6の効果は同じである。

【0033】図1(a)において、プレーナ型の半導体装置1は、その表面側表面の中心部に高電位側電極2と、その高電位側電極2の外周側の低電位側電極3と、高電位側電極2と低電位側電極3との間で高電位側電極2の周囲を3重に周回して、高電位側電極2と低電位側電極3とを電気的に接続する、第1導電形薄膜層4および第2導電形薄膜層5の繰り返しからなる渦巻き状の薄膜層6を有する。

【0034】図1(b)において、p基板10の表面層にN_{well}層9を形成し、N_{well}層9の表面層にn形の高電位領域8、p形の低電位領域12およびP_{offset}領域14を形成する。また、p基板10の表面側には、絶縁酸化膜18を介して、第1導電形薄膜層4と第2導電形薄膜層5の繰り返しからなる渦巻き状薄膜層6で形成される。この渦巻き状の薄膜層6のA-A線にある箇所を15、16、17として示す。

【0035】一方、p基板10の裏面側には、裏面側電極11を形成する。低電位側電極3はチップ終端部にあり、この終端部のダイシング面56には歪み層が形成され、この歪み層で、電圧阻止能力がなくなるために、低電位側電極3と裏面側電極11は電気的に接続され、共に電位的にGNDとなる。勿論、このダイシング面56に加え、チップ終端部の露出面全体をp層とすることで、低電位側電極3と裏面側電極11をさらに強く電気的に接続させることができる。

【0036】前記の渦巻き状の薄膜層6は、例えば、ノンドープのポリシリコンに第1導電形および第2導電形

の不純物を導入して、第1導電形薄膜層4および第2導電形薄膜層5を交互に形成して得ることができる。また、別の例として、第1導電形ポリシリコンに第2導電形不純物を選択的に離して導入して、第1導電形薄膜層4および第2導電形薄膜層5を交互に形成して得ることもできる。例えば、第1導電形薄膜層4をn層とし、第2導電形薄膜層5をp層とした場合のpnダイオードの逆直列状態を51に示す。尚、図では白抜き部が第1導電形薄膜層4で、ハッチング部が第2導電形薄膜層5として示したが、書き切れないので、矢印イの方向に一つ置きに示されるハッチング部を省略した。

【0037】この構造において、低電位側電極3を基準にして、高電位側電極2に正電位 V_s を印加すると、渦巻き状の薄膜層6の高電位側電極2と接続する端にも電位 V_s が印加され、この渦巻き状の薄膜層には均一な電位分布が形成される。図2は、チップ表面の電位分布の様子を示めたもので、同図(a)は半導体装置の要部断面図、同図(b)はチップ表面の電位分布である。電位勾配が生ずる箇所は P_{offset} 層表面である。

【0038】同図(a)は図1(b)の上部を描いた図である。また同図(b)は図1(a)のA-A線上に沿って、高電位側電極2から低電位側電極3に向かっての電位分布を示した図である。渦巻き状の薄膜層6をA-A線で切断した断面で表すと15、16、17で示される。この渦巻き状の薄膜層15、16、17にかかる電位を V_{15} 、 V_{16} 、 V_{17} とする。高電位側電極2から低電位側電極3に向かっての電位は、平均的な勾配が一定となる。そのため、 N_{well} 層9、 P_{offset} 層14および図示しないp基板層10aに形成される空乏層内の電界は緩和され、半導体装置1を高耐圧化することができる。

【0039】つぎに、渦巻き状の薄膜層6に沿って、印加される電位について図1(a)を用いて説明する。半導体装置の耐圧が、例えば、600Vの場合、ツェナーダイオードを形成するpn接合55で、逆阻止状態にあるpn接合55の数を $m=400$ 個、接合部ダイオードの降伏電圧であるツェナー電圧を全て等しく、 $V_z=4$ Vとなるようツェナーダイオードの耐圧を設定する。こうすると、ツェナーダイオードの全電圧 $=4V \times 400=1600V$ となり、半導体装置1の耐圧600Vに対して十分余裕があり、ツェナーダイオードが降伏することはない、従って、発熱で破壊することもない。また、一つのツェナーダイオードに印加される電圧は $600V \div 400=1.5V$ と低く、高電位側電極2から低電位側電極3に、渦巻き状の薄膜層6に沿って、この1.5Vの電位ステップで電位は均一に低下し、均一な電位分布が得られる。

【0040】また、前記の V_z を7Vに設定した場合は、 m が230個程度で、一つのツェナーダイオードに印加される電圧が2.6V程度と低くなり、高電位側電極2から低電位側電極3に、渦巻き状の薄膜層6に沿

て、この2.6Vの電位ステップで電位は均一に低下し、均一な電位分布が得られることになる。ツェナーダイオードを形成するポリシリコンの濃度(第1導電形薄膜層の濃度および第2導電形薄膜層の濃度)は高いために、ツェナーダイオードの電圧・電流特性のばらつきは小さくなる。実測では、漏れ電流に対する各ツェナーダイオードが分担する電圧のばらつきは10%以内で、渦巻き状の薄膜層に沿う電位分布の均一性は、ポリシリコンの濃度を高めることで向上する。

【0041】従って、ツェナーダイオードを降伏させることなく、渦巻き状の薄膜層6に沿って安定した電位分布を得ることができ、半導体装置の耐圧を向上できる。また、図1では、渦巻き状の薄膜層6を内側の高電位側電極2の周囲を3重に周回としたが、特に、チップサイズや半導体装置1の耐圧で周回の回数は変わる。但し、周回の回数が多程、高電位側電極2と低電位側電極3を直線で結ぶ線上(例えばA-A線上)の電位分布の均一性が向上するので好ましい。

【0042】また、ツェナーダイオードの個数もここでは400個としたが、全体のツェナー電圧が半導体装置1の耐圧以上になるように個数を設定すればよい。また、渦巻き状の薄膜層6の形状もこの渦巻き状の薄膜層6が取り巻く電極形状(例えば、高電位側電極2の形状)に合わせてよく、円形でも多角形でもよい。さらに、渦巻き状の薄膜層6の材質については、この実施例ではポリシリコンとしたが、単結晶シリコンやGaAsおよびSiCなどの半導体材料を用いてもよい。また、始点から終点に達する渦巻きの本数は、実施例では1本で示したが、複数本、並設しても構わない。

【0043】前記した実施例は、pnダイオードが逆直列に多数接続された例である。つぎに、pnダイオードが順直列に接続され実施例を説明する。図3は、この発明の第2実施例の半導体装置における耐圧構造部の要部平面図である。この図は、渦巻き状の薄膜層6に形成されるpn接合55を一つ置きに金属膜53で短絡し、すべてのツェナーダイオードであるpnダイオードが順直列に形成されている点が図1(a)と異なる。この金属膜53の材質はアルミニウムなど、デバイスの電極を形成するとき用いる材質でよい。また、形成されるpnダイオードは、図中の52に示すように逆阻止状態となるように、順方向のpn接合上に金属膜53を形成する。尚、矢印ロの方向で、金属膜53がpn接合55を一つ置きに配置されるが、省略した。

【0044】前記した第1実施例では、横型のプレーナ型の半導体装置の耐圧構造部を示したが、縦型の半導体装置の耐圧構造の場合でも、チップの活性領域から、横方向に空乏層が拡張していくタイプの半導体装置では、前記したツェナーダイオードの繰返しからなる渦巻き状の薄膜層が適用できる。つぎに、縦型の半導体装置に渦巻き状の薄膜層を適用した実施例について説明する。

【0045】図4は、この発明の第3実施例の半導体装置における耐圧構造部の要部断面図である。n⁻層23の裏面側にn⁺層22を形成し、表面側に低電位領域25となるpウェル領域、この低電位領域を取り囲むようにガードリングとなるp領域29、30、31をそれぞれ形成し、チップの終端部には、高電位領域20となるp領域を形成する。低電位領域25となるpウェル領域には図示しない活性領域（例えば、MOSFETというゲート部やソース部が占めている領域のこと）が形成される。低電位領域25上に低電位側電極26、高電位領域20上に高電位側電極19が形成され、裏面のn⁺層上には裏面側電極21が形成される。裏面側電極21と高電位側電極19はダイシング面45で電氣的に接続されている。

【0046】また、ガードリングのp領域29、30、31は、pウェル領域25をリング状に取り囲んでいる。高電位側電極19と低電位側電極26とを電氣的に接続する渦巻き状の薄膜層27が半導体基板上の絶縁酸化膜28を介して形成されている。ここで、裏面側電極21に電位V_sをかけると、高電位側電極19と低電位側電極26の間に、電位V_sがかかり、ツェナーダイオードの直列接続構造となっている渦巻き状の薄膜層27には、漏れ電流が流れて、電位分布が形成される。この電位分布による電界が、半導体基板に形成される空乏層24を均一に広げ、電界集中を緩和し、半導体装置の耐圧を向上させる。

【0047】この発明の第4実施例の半導体装置で、図1の渦巻き状の薄膜層を形成する第1導電形層および第2導電形層の不純物濃度がそれぞれ $1 \times 10^{18} \text{ cm}^{-3}$ 以上にする。このように不純物濃度を高くすることで、第1導電形薄膜層と第2導電形薄膜層で形成されるpnダイオードはツェナーダイオードとなる。これらの第1導電形薄膜層と第2導電形薄膜層の不純物濃度を高くすることで、ツェナーダイオードの逆阻止時の電圧・電流特性のばらつきを小さく抑制でき、渦巻き状の薄膜層に沿って均一な電位勾配を形成できる。また、渦巻き状の薄膜層にツェナーダイオード群を形成することで、抵抗性の薄膜層と比べて、電位分布の温度依存性を小さくできる。

【0048】この発明の第4実施例の半導体装置で、半導体基板上に、絶縁酸化膜を介して渦巻き状の薄膜層を形成する場合の絶縁酸化膜の膜厚を0.01から10 μm とする。0.01 μm より薄い場合は、製造条件のばらつきなどで半導体基板と渦巻き状の薄膜層が接触する場合が生ずる恐れが出てくる。一方、10 μm を超えると、絶縁酸化膜の形成に長時間かかり、半導体基板上に形成される絶縁酸化膜の厚さが厚くなりすぎて、渦巻き状の薄膜層の電位を効果的に半導体基板の表面に伝えるにくくなる。そのため、デバイス構造としては好ましくない。また、製造コストも当然上昇する。

【0049】前記のように、この発明の渦巻き状の薄膜層は、ツェナーダイオードの繰り返し構造となっており、逆阻止状態にあるダイオードの個数mと個々のツェナーダイオードのツェナー電圧V_zの積(m \times V_z)が半導体装置の耐圧より十分大きいように設計しておけば、高電位側電極と低電位側電極間に耐圧以下の電圧を印加したとき、渦巻き状の薄膜層には、ダイオードの逆方向の漏れ電流I_sが流れ、薄膜層に沿って均一な電位分布が生じ、それによって、第1導電形薄膜層もしくは第2導電形薄膜層で、キャリアの移動が起こり、空乏層が拡張する。これによって、電界集中が緩和され、耐圧を向上できる。

【0050】従来のフィールドプレートや渦巻き状の抵抗層に比べ、この発明は、渦巻き状の薄膜層の第1導電形もしくは第2導電形の不純物濃度、ツェナーダイオードの個数、薄膜層の材質の最適化によって、薄膜層の大きさ（幅、長さ）や温度の変化による漏れ電流I_sの変動を大幅に小さくでき、安定した耐圧を得ることができる。

【0051】図10は、この発明の第5実施例の半導体装置における耐圧構造部の要部平面図である。薄膜層が4本渦巻き状に形成されている。渦巻き状の薄膜層は第1導電形薄膜層と第2導電形薄膜層から形成され、図1(a)との違いは、渦巻き状の薄膜層が複数本（図10では、第1渦巻き状の薄膜層6a、第2渦巻き状の薄膜層6b、第3渦巻き状の薄膜層6cおよび第4渦巻き状の薄膜層6dの4本）形成されている点である。薄膜層を複数本とすることで、例えば、1本の薄膜層が切れても、他の健全な薄膜層によって電位分布の均一化が図られて、素子耐圧に対する信頼性が向上する。

【0052】尚、第5実施例の半導体装置の要部断面図およびチップ表面の電位分布の様子は、図2(a)および(b)と同じであるので説明を省略する。図11は、この発明の第6実施例の半導体装置における要部断面図である。これは、第1実施例で示した耐圧構造を高耐圧横形NMOS（nチャネルMOSFET）に適用した例である。

【0053】p基板57のN_{well}領域58を形成し、N_{well}領域58の表面層に選択的にp⁻領域60、P_{offset}領域67を形成し、また、P_{well}領域61、64を形成する。つぎに、絶縁酸化膜69、70であるLOCOS（Local Oxidation of Silicon）を形成する。そのつぎに、図示しないゲート酸化膜を介してポリシリコンでゲート電極72を形成し、絶縁酸化膜70上にポリシリコン膜75、84および渦巻き状の薄膜層を形成する。この渦巻き状の薄膜層83は第1実施例で説明したものと同等である。当然、前記したように、この渦巻き状の薄膜層83は多数のpnダイオード（ツェナーダイオードなど）で構成されている。

【0054】つぎに、ソース領域となる n^+ 領域63、65、ドレイン領域となる n^+ 領域68を形成し、このとき、渦巻き状の薄膜層83の図示しない n^+ 領域も形成し、またフィールドプレートとなるポリシリコン膜75、84を n 形の低抵抗層とする。つぎに、コンタクトをとるために、 p^+ 領域59、62、66を形成し、このとき、渦巻き状の薄膜層83の図示しない p^+ 領域も形成する。

【0055】つぎに、図示しないPSG（リン・ガラス）などの絶縁膜を表面に被覆し、コンタクト孔を形成した後、ソース電極71、73およびドレイン電極74を形成し、裏面に裏面側電極85を形成する。この高耐圧横型NMOSは、オン状態のとき、主電流である電子流が活性領域201を、ソース側（ n^+ 領域63、65）からドレイン側（ n^+ 領域68）に流れる構造である。渦巻き状の薄膜層83が、主電流が流れる活性領域201の上に形成されていることで、阻止状態でのドレイン側からソース側への電位分布を均一化できて、素子耐圧の信頼性を向上させることができる。さらに、ソース・ドレイン間の距離が低減できて、オン抵抗の低減を図ることができると共に、素子占有面積を小さくできる利点も生じる。

【0056】図12は、この発明の第7実施例の半導体装置における要部断面図である。これは、第1実施例で示した耐圧構造を、高耐圧横型PMOS（ p チャネルMOSFET）に適用した例である。ここでは、構造の詳細な説明は省略するが、渦巻き状の薄膜層104は、図11と同様に、活性領域202の上に形成されている。この場合も第6実施例で説明した効果と同様の効果が期待できる。

【0057】

【発明の効果】この発明によれば、島状領域の周囲を外周部に向かって周回し、高電位領域と低電位領域を電気的に接続する渦巻き状の薄膜層を、ツェナーダイオードの繰り返しにより構成することで、つぎのような効果がある。耐圧構造部の耐圧は、ツェナーダイオードの数で決まり、薄膜層の幅に対する依存性は極めて小さく、そのため、同一耐圧ではチップサイズに渦巻き状の幅を一定にできる。このことによって、同一耐圧の素子系列を製造する場合、製造コストが、従来の抵抗薄膜層（フィールドプレートや渦巻き状の抵抗薄膜層）に比べて大幅に低減できる。

【0058】また、ツェナーダイオードの逆耐圧特性を利用しているので、温度依存性が小さい、そのため、耐圧を安定して得ることができる。また渦巻き状の薄膜層を形成するポリシリコンの不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以上と高濃度とすることで、個々のツェナーダイオードの電圧・電流特性を揃えることができる。そうすることで、高電位領域から低電位領域への電位勾配を均一化し、高い耐圧を得ることができる。

【0059】また、薄膜層を複数本とすることで、素子耐圧に対する信頼性が向上する。

【図面の簡単な説明】

【図1】この発明の第1実施例の半導体装置における耐圧構造部で、(a)は要部平面図、(b)は同図(a)のA-A線で切断した要部断面図

【図2】チップ表面の電位分布の様子を示めたもので、(a)は半導体装置の要部断面図、(b)はチップ表面の電位分布図

【図3】この発明の第2実施例の半導体装置における耐圧構造部の要部平面図

【図4】この発明の第3実施例の半導体装置における耐圧構造部の要部断面図

【図5】ポリシリコンを用いたツェナーダイオードの電圧・電流特性を示す図

【図6】渦巻き状の薄膜層に沿っての電界分布で、(a)は電界分布の模式図で、(b)は(a)の拡大図と渦巻き状の薄膜層の図で、(c)は電位分布を示す図

【図7】従来の耐圧構造部である、Double RESURF構造と抵抗性フィールドプレート構造を組み合わせた構造で、(a)は要部断面図、(b)は電位分布図

【図8】半導体内部の空乏層の拡がりを示した図

【図9】従来の耐圧構造部で、渦巻き状の薄膜抵抗層45の要部平面図

【図10】この発明の第5実施例の半導体装置における耐圧構造部の要部平面図

【図11】この発明の第6実施例の半導体装置における要部断面図

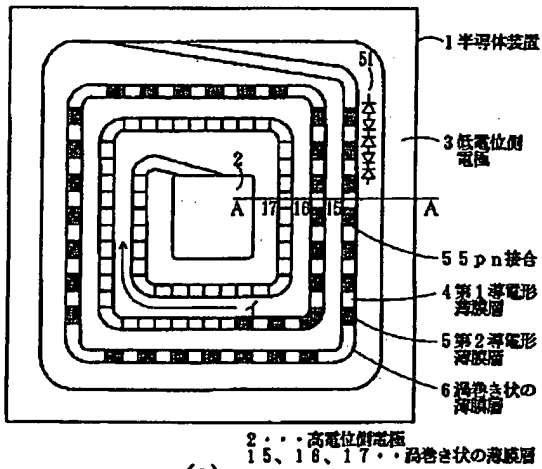
【図12】この発明の第7実施例の半導体装置における要部断面図

【符号の説明】

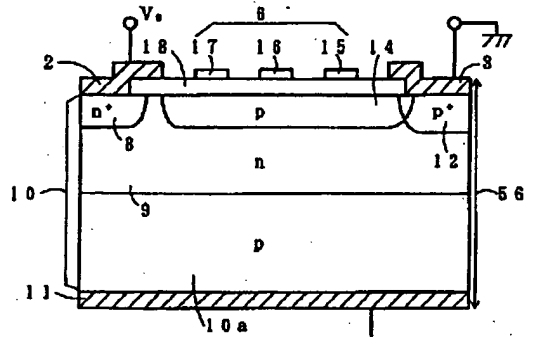
- 1 半導体装置
- 2 高電位側電極
- 3 低電位側電極
- 4 第1導電形薄膜層
- 5 第2導電形薄膜層
- 6 渦巻き状の薄膜層
- 6a～6d 第1～第4渦巻き状の薄膜層
- 8 高電位領域
- 9 N_{well} 領域
- 10 p 基板
- 10a p 基板層
- 11 裏面側電極
- 12 低電位領域
- 14 P_{offset} 領域
- 15、16、17 渦巻き状の薄膜層
- 18 絶縁酸化膜
- 19 高電位側電極
- 20 高電位領域

- 21 裏面側電極
- 22 n^+ 層
- 23 n^- 層
- 24 空乏層
- 25 低電位領域
- 26 低電位側電極

【図1】



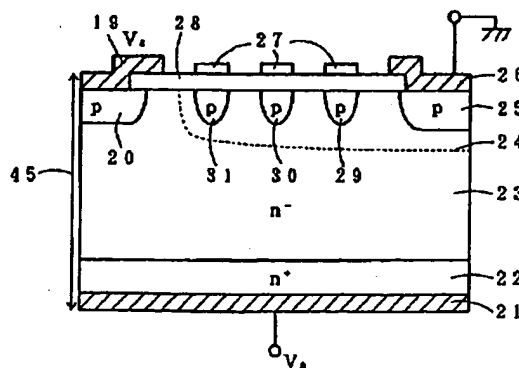
(a)



- 6...渦巻き状の薄膜層
- 8...高電位領域
- 9... n^+ 領域
- 10...p基板
- 10a...p基板面
- 11...裏面側電極
- 12...低電位領域
- 14...P領域
- 15、16、17...渦巻き状の薄膜層
- 18...絶縁酸化膜
- 56...ダイシング面

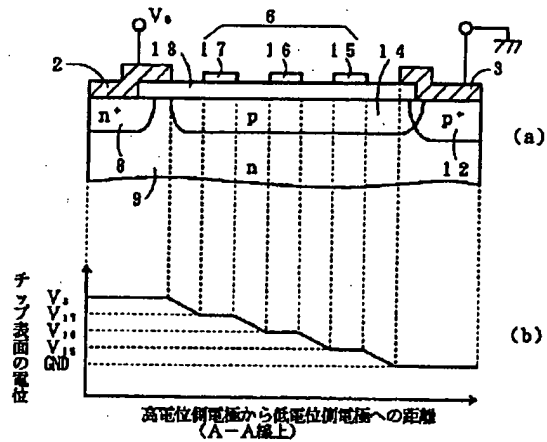
(b)

【図4】

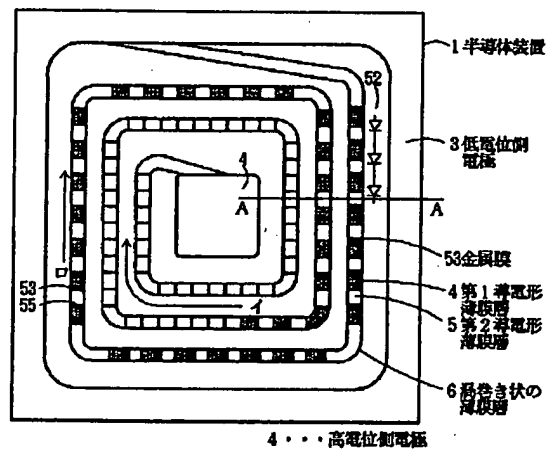


- 27 渦巻き状の薄膜層
- 28 絶縁酸化膜
- 29、30、31 p領域
- 53 金属膜
- 55 p-n接合
- 56 ダイシング面

【図2】

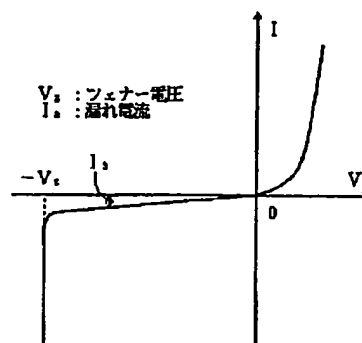


【図3】

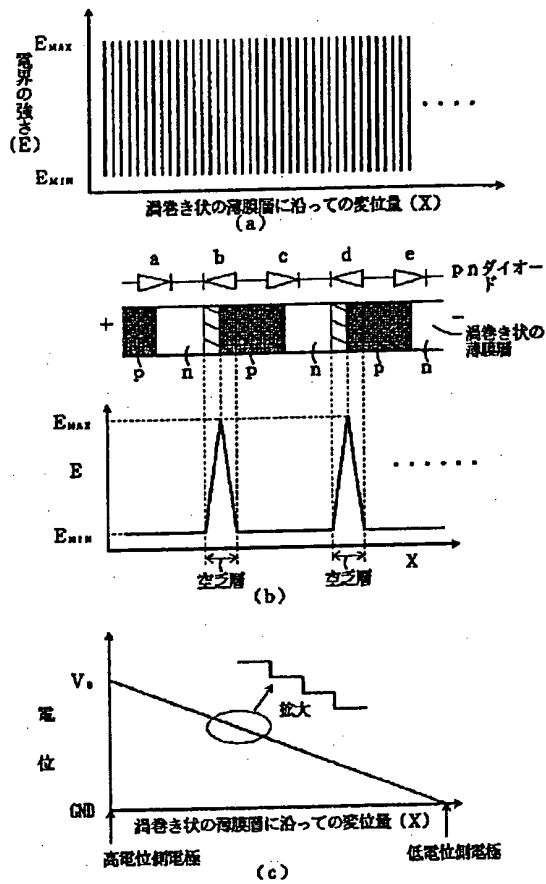


4...高電位側電極

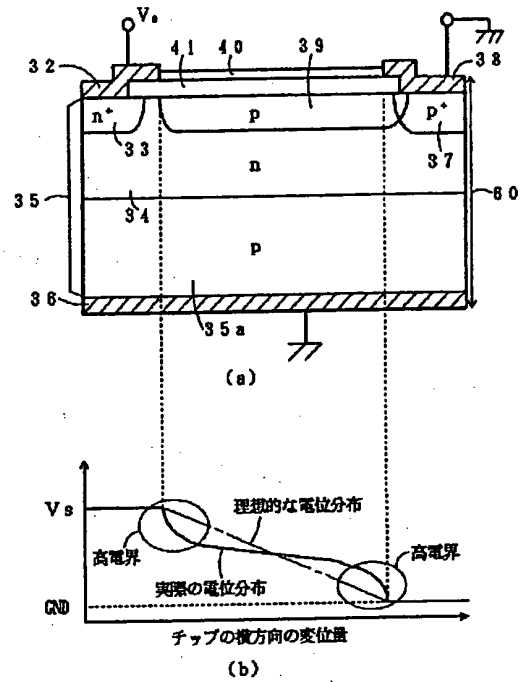
【図5】



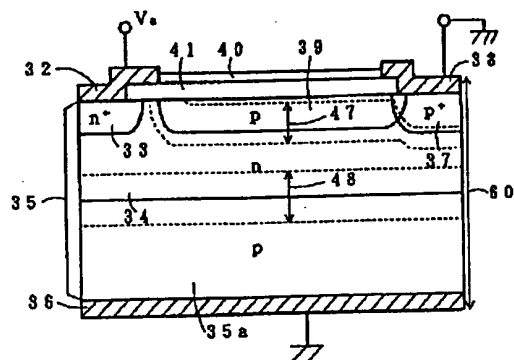
【図6】



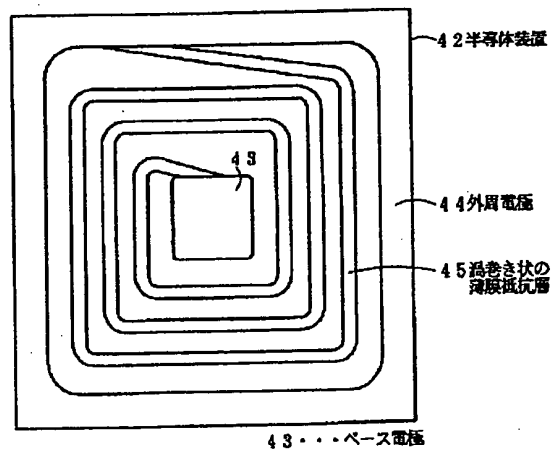
【図7】



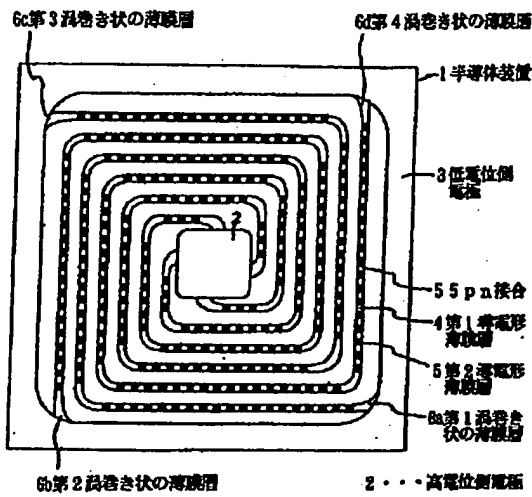
【図8】



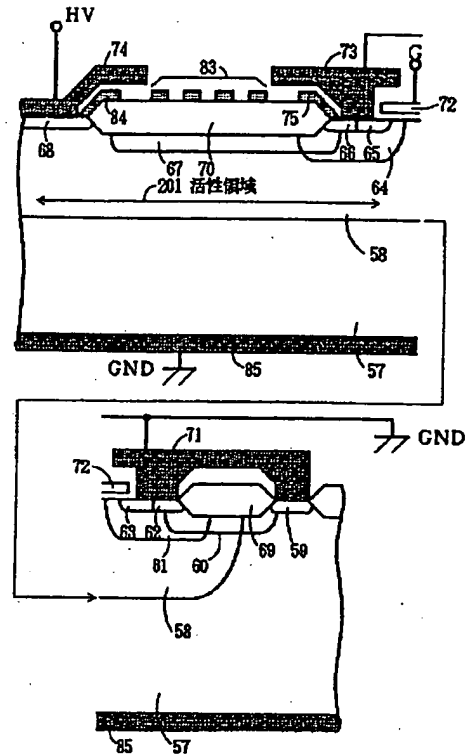
【図9】



【図10】

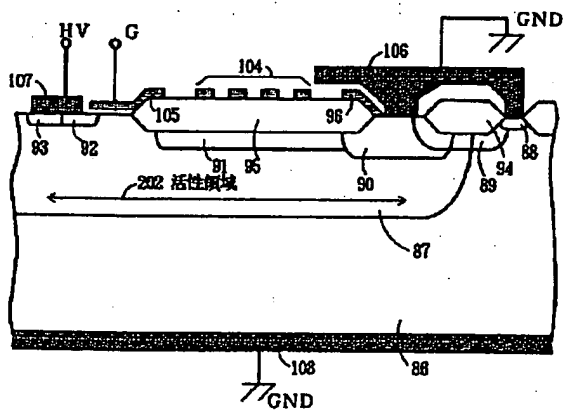


【図11】



- | | |
|------------------------|------------------------|
| 57...p基板領域 | 68...n ⁺ 領域 |
| 58...p ⁺ 領域 | 69...絶縁酸化膜 |
| 59...p ⁺ 領域 | 70...絶縁酸化膜 |
| 60...p ⁺ 領域 | 71...ソース電極 |
| 61...p ⁺ 領域 | 72...ゲート電極 |
| 62...p ⁺ 領域 | 73...ソース電極 |
| 63...p ⁺ 領域 | 74...ドレイン電極 |
| 64...p ⁺ 領域 | 75...ポリシリコン膜 |
| 65...p ⁺ 領域 | 83...渦巻き状の薄膜層 |
| 66...p ⁺ 領域 | 84...ポリシリコン膜 |
| 67...p ⁺ 領域 | 85...表面側電極 |

【図12】



- | | |
|------------------------|----------------|
| 86...p基板領域 | 94...絶縁酸化膜 |
| 87...p ⁺ 領域 | 95...絶縁酸化膜 |
| 88...p ⁺ 領域 | 96...ポリシリコン膜 |
| 89...p ⁺ 領域 | 104...渦巻き状の薄膜層 |
| 90...p ⁺ 領域 | 105...ゲート電極 |
| 91...p ⁺ 領域 | 106...ドレイン電極 |
| 92...p ⁺ 領域 | 107...ソース電極 |
| 93...n ⁺ 領域 | 108...表面側電極 |

【手続補正書】

【提出日】平成12年1月31日(2000. 1. 31)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】半導体基板上に形成された絶縁膜上に、互いに離して形成された第1電極と第2電極とを有する半導体装置において、両端がそれぞれ第1電極、第2電極に接続され、且つ、第1電極を取り囲む渦巻き状の薄膜層が、前記絶縁膜上に形成され、該渦巻き状の薄膜層の長手方向に沿って、直列に複数のp nダイオードが形成されることを特徴とする半導体装置。

【請求項2】前記第1電極と前記第2電極との間の前記半導体基板が、主電流が流れる活性領域となっていて、その半導体基板上に前記絶縁膜を介して前記渦巻き状の薄膜層が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記薄膜層が、ポリシリコンで形成され、該ポリシリコンに第1導電形領域と第2導電形領域が交互に複数個形成され、前記第1導電形領域と前記第2導電形領域とでp nダイオードが形成されることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記薄膜層が、第1導電形ポリシリコンで形成され、該第1導電形ポリシリコンに選択的に第2導電形領域が、離して複数個形成され、前記第1導電形ポリシリコンで形成された第1導電形領域と前記第2導電形領域が交互に複数個形成され、前記第1導電形領域と前記第2導電形領域とでp nダイオードが形成されることを特徴とする請求項1または2に記載の半導体装置。

【請求項5】前記p nダイオードが、順直列もしくは逆直列に前記薄膜層に形成されることを特徴とする請求項1または2に記載の半導体装置。

【請求項6】前記p nダイオードがツェナーダイオードであることを特徴とする請求項1ないし5のいずれかに記載の半導体装置。

【請求項7】前記第1導電形領域および前記第2導電形領域の不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることを特徴とする請求項3に記載の半導体装置。

【請求項8】前記第1導電形ポリシリコンが、p形不純物もしくはn形不純物を $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングして形成されることを特徴とする請求項4に記載の半導体装置。

【請求項9】前記絶縁膜の厚みを0.01以上で $10 \mu\text{m}$ 以下とすることを特徴とする請求項1または2に記載の半導体装置。

【請求項10】前記半導体基板が第1導電形であって、

該半導体基板の表面層に第1導電形の第1領域と第2導電形の第2領域が離して形成され、前記第1領域と前記第2領域の間の前記半導体基板の表面層に、前記第1領域から離し、且つ、前記第2領域に接するように第2導電形の第3領域が形成され、前記第1領域と前記第1電極とが接続し、前記第2領域と前記第2電極とが接続することを特徴とする請求項1に記載の半導体装置。

【請求項11】前記半導体基板が第1導電形であって、該半導体基板の表面層に第2導電形の第1領域と第2領域が離してそれぞれ形成され、前記第1領域と前記第2領域の間の前記半導体基板の表面層に、前記第1領域および第2領域から離して、第2導電形の第3領域が、前記第1領域を取り囲むようにリング状に形成され、前記第1領域と前記第1電極とが接続し、前記第2領域と前記第2電極とが接続することを特徴とする請求項1に記載の半導体装置。

【請求項12】前記半導体基板の表面層に第1導電形の第1領域が形成され、該第1領域の表面層に第1導電形の第2領域と第2導電形の第3領域が離して形成され、前記第2領域と前記第3領域の間の前記第1領域の表面層に、前記第2領域から離し、且つ、前記第3領域に接するように第2導電形の第4領域が形成され、前記第2領域と前記第1電極とが接続し、前記第3領域と前記第2電極とが接続することを特徴とする請求項1に記載の半導体装置。

【請求項13】前記半導体基板の表面層に第1導電形の第1領域が形成され、該第1領域の表面層に第2導電形の第2領域と第3領域が離して形成され、前記第2領域と前記第3領域の間の前記第1領域の表面層に、前記第2領域から離し、且つ、前記第3領域に接するように第2導電形の第4領域が形成され、前記第1電極は前記第2領域の表面上または前記第2領域と前記第3領域の間の表面の上部に形成され、前記第2電極は前記第3領域と接続されることを特徴とする請求項1に記載の半導体装置。

【請求項14】前記半導体基板が第1導電形であることを特徴とする請求項12または13に記載の半導体装置。

【請求項15】前記薄膜層が複数本形成されることを特徴とする請求項1乃至14のいずれかに記載の半導体装置。

【請求項16】前記半導体装置の耐圧を V_B 、前記p nダイオードの降伏電圧を V_Z 、前記渦巻き状の薄膜層の中のp nダイオードを形成するp n接合で、逆阻止状態にあるp n接合の数を m とすると、

$$V_B < V_Z \times m$$

を満足することを特徴とする請求項1乃至15のいずれかに記載の半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】1つのpn接合は、N_{well} 領域34とP_{offset} 領域39、低電位領域37のpn接合であり、もう一つのpn接合は、N_{well} 領域34とp基板層35aのpn接合である。一般的に、絶縁酸化膜41と半導体界面の固定電荷の影響で、半導体表面の空乏層内部には電界の集中が起き易く、これがデバイスの破壊につながる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】前記半導体基板が第1導電形であって、該半導体基板の表面層に第2導電形の第1領域と第2領域が離してそれぞれ形成され、前記第1領域と前記第2領域の間の前記半導体基板の表面層に、前記第1領域および第2領域から離して、第2導電形の第3領域が、前記第1領域を取り囲むようにリング状に形成され、前記第1領域と前記第1電極とが接続し、前記第2領域と前記第2電極とが接続する構成としてもよい。前記半導体基板の表面層に第1導電形の第1領域が形成され、該第1領域の表面層に第1導電形の第2領域と第2導電形の第3領域が離して形成され、前記第2領域と前記第3領域の間の前記第1領域の表面層に、前記第2領域から離し、且つ、前記第3領域に接するように第2導電形の第4領域が形成され、前記第2領域と前記第1電極とが接続し、前記第3領域と前記第2電極とが接続する構成としてもよい。前記半導体基板の表面層に第1導電形の第1領域が形成され、該第1領域の表面層に第2導電形の第2領域と第3領域が離して形成され、前記第2領域と前記第3領域の間の前記第1領域の表面層に、前記第2領域から離し、且つ、前記第3領域に接するように第2導電形の第4領域が形成され、前記第1電極は前記第2領域の表面上または前記第2領域と前記第3領域の間の表面の上部に形成され、前記第2電極は前記第3領域と接続される構成としてもよい。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】個々のツェナーダイオードのツェナー電圧をV_Z、薄膜層の中のツェナーダイオードを形成するpn接合で、逆阻止状態にあるpn接合の数をmとすると、

(1) $V_S < m \cdot V_Z$ のとき (ツェナーダイオードは非

降伏状態)

pn接合の逆方向の漏れ電流I_sが渦巻き状の薄膜層に流れる。高濃度の不純物をドーブしたポリシリコンに形成された個々のツェナーダイオードは、均一な電圧・電流特性を有するために、渦巻き状の薄膜層は、渦巻きに沿って均一な電位分布となる。尚、不純物濃度を高くすると、濃度制御が容易になり、面内の濃度のばらつきは小さくなり、抵抗値のばらつきが小さくなる。

(2) $V_S \geq m \cdot V_Z$ のとき (ツェナーダイオードは降伏状態)

pn接合の逆方向に過大な電流が流れ、その状態が長時間続くと渦巻き状の薄膜層は発熱して破壊に至る。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】ツェナーダイオードの個数を増やして、半導体装置の所望の耐圧より、渦巻き状の薄膜層に形成されたツェナーダイオード全数を合わせたツェナー電圧を高くするように設定すれば、前記の(1)項の非降伏状態で使用できる。この非降伏状態でツェナーダイオードを動作させることで、ツェナーダイオードを破壊させずに、渦巻き状の薄膜層の電位分布を均一化できる。また、渦巻き状の薄膜層を流れる漏れ電流はツェナーダイオードの逆阻止時の電圧・電流特性で決まり、この漏れ電流は、ツェナーダイオードの数が変わらなければ、渦巻き状の薄膜層の長さによる影響は少ない。つまり、薄膜層の占める大きさによる影響は少ない。また、温度の変化に対する、漏れ電流の変動も、従来の高抵抗の渦巻き状の抵抗層の変動に比べて、大幅に小さく、安定した電位分布が形成できる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正内容】

【0053】p基板57のN_{well} 領域58を形成し、N_{well} 領域58の表面層に選択的にp⁻ 領域60、P_{offset} 領域67を形成し、また、P_{well} 領域61、64を形成する。つぎに、絶縁酸化膜69、70であるLOCOS (Local Oxidation of Silicon) を形成する。そのつぎに、図示しないゲート酸化膜を介してポリシリコンでゲート電極72を形成し、絶縁酸化膜70上にポリシリコン膜75、84および渦巻き状の薄膜層83を形成する。この渦巻き状の薄膜層83は第1実施例で説明したものと同等である。当然、前記したように、この渦巻き状の薄膜層83は多数のpnダイオード (ツェナーダイオードなど) で構成されている。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正内容】

【0057】

【発明の効果】この発明によれば、島状領域の周囲を外周部に向かって周回し、高電位領域と低電位領域を電氣的に接続する渦巻き状の薄膜層を、ツェナーダイオードの繰り返しにより構成することで、つぎのような効果がある。耐圧構造部の耐圧は、ツェナーダイオードの数で決まり、薄膜層の幅に対する依存性は極めて小さく、そのため、同一耐圧においては、電流量によってチップサイズが変わっても渦巻き状の幅を一定にできる。このことによって、同一耐圧の素子系列を製造する場合、製

造コストが、従来の抵抗薄膜層（フィールドプレートや渦巻き状の抵抗薄膜層）に比べて大幅に低減できる。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正内容】

【0058】また、ツェナーダイオードの逆耐圧特性を利用しているので、温度依存性が小さく、そのため、耐圧を安定して得ることができる。また渦巻き状の薄膜層を形成するポリシリコンの不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以上と高濃度とすることで、個々のツェナーダイオードの電圧・電流特性を揃えることができる。そうすることで、高電位領域から低電位領域への電位勾配を均一化し、高い耐圧を得ることができる。

フロントページの続き

(72)発明者 齋藤 順

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

Fターム(参考) 5F048 AA05 AA07 AC06 AC10 BA01

BB05 BC00 BC03 BC07 BC12

BD00 BE03 BE05 BF16 BG12

BH05 BH07 CC06